



Docket No.: P2002,0627

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 2, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Peter Beer
Appl. No. : 10/627,841
Filed : July 25, 2003
Title : Circuit Configuration for Reading Out a Programmable Link

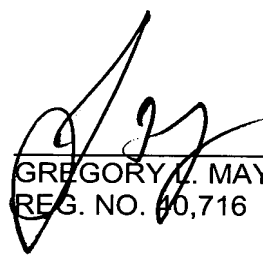
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 33 910.4 filed July 25, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 2, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 33 910.4

Anmeldetag: 25. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Schaltungsanordnung zum Auslesen einer
programmierbaren Verbindung

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 24. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

Beschreibung

Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung.

10 Hochintegrierte Halbleiterspeicherschaltungen weisen normalerweise eine Vielzahl von Speicherzellenfeldern auf, die wiederum eine Vielzahl von einzelnen Speicherzellen umfassen. Bei der üblichen Massenfertigung derartiger integrierter Halbleiterspeicher ist es nicht mehr möglich, daß alle Speicherzellen fehlerfrei hergestellt werden können. Deshalb werden
15 den normalerweise eine vorbestimmte Anzahl redundanter Speicherzellen auf jedem Halbleiterspeicherchip mit hergestellt.

Speicherzellenfelder sind normalerweise matrixförmig strukturiert und umfassen in Spalten und Zeilen angeordnete Speicherzellen, welche mittels sogenannter Wortleitungen und Bit-
20 leitungen ausgewählt, ausgelesen und beschrieben werden können. An den Kreuzungspunkten der Wortleitungen mit den Bitleitungen sind die Speicherzellen angeordnet.

25 Bei der Fertigung von Halbleiterspeichern werden üblicherweise Tests durchgeführt, um die fehlerhaften Speicherzellen zu erkennen und durch redundante Speicherzellen zu ersetzen. Bei diesen Speichertests werden normalerweise in einem Speicherzellenfeld stets ganze Wortleitungen oder ganze Bitleitungen
30 oder mehrere Wortleitungen oder Bitleitungen als kleinste redundante Einheit benutzt.

Die Zuordnung, welches redundante Element welches fehlerhafte Element im Speicherzellenfeld ersetzt, wird mittels programmierbarer Verbindungen, den sogenannten fuses, festgelegt.
35

Bei den Fuses handelt es sich um nichtflüchtige Speicherelemente, die durch Zuführen eines Energieimpulses programmiert werden können. Jedes redundante Element, also jede Bitleitung, Wortleitung oder Zusammenschluß mehrerer Wortleitungen oder Bitleitungen besitzt eine ihm zugeordnete Bank von programmierbaren Verbindungen, die sogenannte Fuse-Bank. Jede dieser Speicherbänke umfaßt zum einen eine sogenannte Master Fuse, die anzeigt, daß das zugehörige redundante Element als Reparaturoelement verwendet wird. Mit den übrigen programmierbaren Verbindungen der Speicherbank wird die Adresse des zu reparierenden Elements in dem Speicherzellenfeld codiert.

Sobald im Normalbetrieb auf ein Speicherzellenfeld mit der programmierten, zu reparierenden Adresse zugegriffen werden soll, wird anstelle des Zugriffs auf ein defektes Element der Zugriff auf das entsprechend zugeordnete redundante Element ausgeführt. Hierfür muß bei jedem Speicherzugriff die gewünschte Speicheradresse mit allen programmierten Adressen der redundanten Elemente verglichen werden.

Da der Zugriff auf die programmierbaren Verbindungen nur verhältnismäßig langsam durchgeführt werden kann, werden beim Einschalten oder Hochfahren des Speicherbausteins alle programmierbaren Verbindungen ausgelesen und die in den programmierbaren Verbindungen gespeicherten Adreßdaten in jeweils zugeordneten flüchtigen Speicherzellen abgelegt. Derartige, flüchtige Speicherzellen sind normalerweise als sogenanntes Latch oder Flip-Flop ausgelegt. Der eigentliche Adreßvergleich, welcher bei jedem Speicherzugriff erfolgt, wird dann mit der Kopie der Adresse durchgeführt, die in den flüchtigen Speicherzellen abgelegt ist.

Das einmalige Programmieren der programmierbaren Verbindungen bei dem erwähnten Speichertest während der Fertigung des integrierten Speicherbausteins erfolgt normalerweise so, daß in einem ersten Schritt die zu programmierenden Adreßdaten dazu benutzt werden, die zu programmierenden elektrischen Verbin-

dungen zu markieren und in einem nachfolgenden Verfahrensschritt die markierten programmierbaren Verbindungen mit einem Energieimpuls, beispielsweise durch Beaufschlagen mit einem Stromstoß oder einem Spannungsimpuls, programmiert werden.
5

Es ist bekannt, die Markierung der zu programmierenden Verbindungen durch Abspeichern eines entsprechenden Datums in einer der jeweiligen programmierbaren Verbindung zugeordneten flüchtigen Speicherzelle vorzunehmen. Hierzu können alle flüchtigen Speicherzellen mit einem Schieberegister gekoppelt sein, wobei die Informationen über die zu programmierenden programmierbaren Verbindungen seriell in dieses Schieberegister geschoben werden. Problematisch ist jedoch, daß diese Schieberegisterschaltung verhältnismäßig viele Bauteile und einen verhältnismäßig großen Chipflächenbedarf hat. Außerdem ergibt sich eine verhältnismäßig umständliche Verdrahtung auf dem Chip. Besonders problematisch ist der verhältnismäßig große Aufwand deswegen, da auf einem Halbleiterspeicherchip mit einer Speicherkapazität von beispielsweise mehreren hundert Megabit einige hundert oder sogar einige tausend redundante Elemente vorgesehen sind.
10
15
20

Aufgabe der vorliegenden Erfindung ist es, eine Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung anzugeben, welche ein Markieren zugeordneter programmierbarer Verbindungen bei einem Speichertest mit geringem Aufwand ermöglicht.
25

Erfindungsgemäß wird die Aufgabe gelöst durch eine Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung, umfassend
30

- eine flüchtige Speicherzelle mit einem Eingang, der mit der programmierbaren Verbindung zum Auslesen und Zwischenspeichern eines programmierten Wertes gekoppelt ist,
35
- einen Adresseingang zum Zuführen eines Adresswertes,

- eine Verknüpfungseinheit mit einem ersten Eingang, der mit dem Adresseingang verbunden ist, mit einem zweiten Eingang, der mit einem Ausgang der flüchtigen Speicherzelle verbunden ist, und mit einem Ausgang ausgelegt zum Bereitstellen eines Treffersignals am Ausgang, wenn der programmierte Wert und der Adresswert übereinstimmen,
- einen Schalter, der den Adresseingang mit dem Eingang der flüchtigen Speicherzelle zum Speichern des Adresswertes in der flüchtigen Speicherzelle koppelt, und
- eine Steuerschaltung, die eingangsseitig mit dem Ausgang der Verknüpfungseinheit gekoppelt ist und die ausgangssseitig mit einem Steuereingang des Schalters und mit einem Mittel zur Programmierung der programmierbaren Verbindung gekoppelt ist zum Bereitstellen eines Aktiviersignals.

15

Gemäß dem vorliegenden Prinzip werden die an Adresseingängen anliegenden Adresswerte unmittelbar zum Markieren der zu programmierenden programmierbaren Verbindungen benutzt. Dabei kann durch Zuführen entsprechender Adresswerte an den Adresseingang gezielt ein Treffersignal am Ausgang der Verknüpfungseinheit erzeugt werden, um eine bestimmte Speicherbank mit einer Vielzahl zu programmierender Verbindungen auszuwählen. Das Treffersignal steuert die Steuerschaltung so an, daß in einer Testbetriebsart mit einem Schalter der Adresseingang auf die flüchtige Speicherzelle durchgeschaltet wird.

25

Der Schalter ermöglicht mit Vorteil die Verwendung einer Adressleitung, um die flüchtige Speicherzelle zu programmieren, die bevorzugt als sogenanntes Latch ausgeführt ist.

30

Durch Kombinieren der Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung mit dem Schalter zwischen Adresseingang und flüchtiger Speicherzelle und der Steuerschaltung zum Ansteuern des Schalters in einer Testbetriebsart können gemäß vorliegendem Prinzip die Adresswerte, die an Adresseingängen anliegen, zur Programmierung der programmierbaren Verbindung verwendet werden. Das vorliegende Prinzip

35

ermöglicht den Verzicht auf ein Schieberegister zum Markieren der programmierbaren Verbindungen und ist mit deutlich geringerem schaltungstechnischen Aufwand als ein Schieberegister realisierbar.

5

Die erfindungsgemäße Schaltungsanordnung ist besonders zum Einsatz in dynamischen Halbleiterspeichern, sogenannten Dynamic Random Access Memories, DRAMs einsetzbar.

10 Gemäß vorliegendem Prinzip ist es auch bevorzugt möglich, die Adreßwerte der Adreßeingänge nicht unmittelbar zum Setzen oder Rücksetzen der zugeordneten flüchtigen Speicherzellen zu verwenden, sondern vielmehr dazu, gezielt ein Treffersignal in Abhängigkeit von einem angelegten Adreßwert zu erzeugen.

15

Die flüchtige Speicherzelle ist bevorzugt als sogenanntes Latch ausgebildet.

Die Steuerschaltung umfaßt bevorzugt eine Speicherzelle zum
20 Speichern des Aktiviersignals in Abhängigkeit von einem vorliegenden Treffersignal.

25

Bevorzugt weist die Steuerschaltung einen weiteren Signaleingang auf, an dem ein eine Testbetriebsart anzeigendes Setzsignal zugeführt wird. Das Aktiviersignal wird demnach von der Steuerschaltung dann bereitgestellt, wenn eine Testbetriebsart aktiviert ist und wenn ein Treffersignal ein Übereinstimmen von programmiertem Wert und Adreßwert anzeigt.

30 Der Adreßeingang ist bevorzugt als Eingangspaar ausgeführt mit einem ersten Anschluß zum Zuführen des Adreßwertes selbst und einem zweiten Anschluß zum Zuführen des komplementären Adreßwertes. Am zweiten Anschluß wird der Adreßwert demnach invertiert zugeführt. Dies ermöglicht mit Vorteil einen deutlich vereinfachten Aufbau der Verknüpfungseinheit.
35

Die vorliegende Schaltungsanordnung umfaßt bevorzugt mehrere flüchtige Speicherzellen, von denen je eine je einer programmierbaren Verbindung zugeordnet ist. Jeder flüchtigen Speicherzelle ist ein Adreßeingang zugeordnet. Die Verknüpfungseinheit verknüpft alle Adreßeingänge und alle flüchtigen Speicherzellen miteinander und stellt an ihrem Ausgang dann ein Treffersignal bereit, wenn die programmierten Werte in den flüchtigen Speicherzellen mit den Adreßwerten an den zugeordneten Adreßeingängen jeweils alle miteinander übereinstimmen. Weiterhin ist bevorzugt jeder flüchtigen Speicherzelle ein Schalter zugeordnet, der den Eingang der flüchtigen Speicherzelle mit dem Adreßeingang koppelt und mit seinem Steuereingang jeweils mit der Steuerschaltung verbunden ist.

Die programmierbare Verbindung ist bevorzugt als sogenannte E-Fuse oder E-Antifuse ausgebildet und wird durch Beaufschlagen mit einem Energieimpuls, beispielsweise einem Stromimpuls oder einer Überspannung, in ihrem Leitfähigkeitszustand dauerhaft verändert. Hierfür ist bevorzugt zumindest ein Transistor vorgesehen, der die programmierbare Verbindung mit einem Versorgungspotentialanschluß koppelt. Am Versorgungspotentialanschluß liegt bevorzugt eine Überspannung, die sogenannte Schieß-Spannung, an. Der Steuereingang des Transistors ist bevorzugt mit dem Ausgang der Steuereinheit verbunden.

In der Verknüpfungseinheit ist bevorzugt ein Mittel zum Ablegen eines intrinsischen Adreßwertes vorgesehen, der jeweils einer programmierbaren Verbindung zugeordnet ist. Somit ist es möglich, durch Anlegen eines geeigneten Adreßwertes an den oder die Adreßeingänge die intrinsische Adresse der programmierten Verbindung anzusprechen und ein Treffersignal dann zu erzeugen, wenn der Adreßwert mit der intrinsischen Adresse übereinstimmt. Das Auslesen der intrinsischen Adresse erfolgt dabei bevorzugt während einer aktivierten Testbetriebsart.

Weitere Einzelheiten und vorteilhafte Ausgestaltungen der vorliegenden Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend an einem Ausführungsbeispiel anhand der Zeichnungen näher erläutert.

5 Es zeigen:

Figur 1 ein Schaltbild einer erfindungsgemäßen Schaltungs-
anordnung zum Auslesen einer programmierbaren Ver-
bindung anhand eines ersten Ausführungsbeispiels
und

Figur 2 ein Ausführungsbeispiel eines Schaltplans einer
programmierbaren Verbindung zum Anschließen an die
Schaltungsanordnung von Figur 1.

Figur 1 zeigt einen beispielhaften Schaltplan einer Schal-
tungsanordnung zum Auslesen und Markieren einer programmier-
baren Verbindung gemäß vorliegendem Prinzip. Beispielhaft ist
die Schaltungsanordnung zum Auslesen von vier programmierba-
ren Verbindungen, die in einer Fuse-Bank angeordnet sind,
ausgelegt. Demnach können mit vorliegender Schaltungsanord-
nung Adressen mit vier Bit Adreßbreite zum Codieren einer
Adresse eines zu ersetzenden Speicherelements in einem Spei-
cherzellenfeld abgelegt werden. Die zu speichernde Adresse
kann dabei entweder die Adresse einer zu ersetzenden Wortlei-
tung, die Adresse einer zu ersetzenden Bitleitung oder die
Adresse eines Blocks von mehreren Wortleitungen und/oder Bit-
leitungen sein.

Die Schaltungsanordnung zum Auslesen einer programmierbaren
Verbindung von Figur 1 umfaßt vier flüchtige Speicherzellen
1, 2, 3, 4, denen jeweils eine programmierbare Verbindung zu-
geordnet ist. Die Eingangsanschlüsse der flüchtigen Speicher-
zellen 1 bis 4 sind mit F1 bis F4 bezeichnet und jeweils zum
Ankoppeln eines Datenausgangs einer zugeordneten programmier-
baren Verbindung ausgelegt. An Ausgänge der flüchtigen Spei-
cherzellen 1 bis 4 ist jeweils eine zugeordnete Auswahlchal-

tung 5 bis 8 angeschlossen. Die Auswahlhaltungen 5 bis 8 haben weiterhin jeweils einen Adreßeingang, wobei jeder Adreßeingang einen ersten Anschluß A1, A2, A3, A4 und einen zweiten Anschluß bA1, bA2, bA3, bA4 umfaßt. Den ersten Anschlüssen der Adreßeingänge A1 bis A4 wird jeweils ein Bit eines 4-Bit-Adreßwortes unverändert zugeführt, während an den zweiten Anschlüssen bA1 bis bA4 der Auswahlhaltungen 5 bis 8 der jeweils komplementäre Adreßwert zugeführt wird.

10 Die Eingänge F1 bis F4 der flüchtigen Speicherzellen 1 bis 4 sind mit den jeweils zugeordneten zweiten Anschlüssen des Adreßeingangs bA1 bis bA4 über je ein Transmission Gate 9, 10, 11, 12 gekoppelt. Die als Schalter ausgeführten Transmission Gates 9 bis 12 umfassen jeweils einen p-Kanal-Feldeffekttransistor mit parallel geschaltetem n-Kanal-Feldeffekttransistor. Die Ausgänge der Auswahlhaltungen 5 bis 8 sind jeweils paarweise in einem NAND-Logik-Gatter 13, 14 zusammengefaßt, deren Ausgänge mit den Eingängen eines NOR-Gatters 15 verbunden sind.

20

Die Verknüpfungseinheit zum Verknüpfen von Adreßwerten und programmierten Werten 19 umfaßt die Auswahlblöcke 5, 6, 7, 8, die Logik-Gatter 13, 14, 15 und zusätzlich eine weitere flüchtige Speicherzelle 16, deren Ausgang mit einem ersten Eingang eines NAND-Gatters 17 verbunden ist. Der zweite Eingang des NAND-Gatter 17 ist mit dem Ausgang des NOR-Gliedes 15 verbunden. Am Ausgang des NAND-Gatters 17 wird, aufbereitet mit einem Inverter 18, ein Treffersignal in Abhängigkeit von den anliegenden Adreßwerten und den ausgelesenen Programmierwerten der programmierbaren Verbindungen abgegeben. Die flüchtige Speicherzelle 16 ist, wie die übrigen flüchtigen Speicherzellen 1 bis 4, durch Antiparallelschaltung zweier Inverter gebildet. Am Eingang F0 der flüchtigen Speicherzelle 16 ist eine programmierbare Verbindung, die sogenannte Master Fuse, angeschlossen, welche anzeigt, ob die vorliegende Schaltungsanordnung bei der Fertigung zur Reparatur einer defekten Speicherzelle oder mehrerer defekter Speicherzellen

eingesetzt und aktiviert wurde. Ein entsprechendes Signal ist mit TMredaddr für Test Mode Redundancy Address gekennzeichnet und kann ebenfalls am Eingang der flüchtigen Speicherzelle 16 zugeführt werden.

5

Zum Ansteuern der Schalter 9 bis 12 an den Steuereingängen der komplementären Transistorpaare ist eine Steuerschaltung 20 vorgesehen, die den Ausgang der Verknüpfungseinheit 19 mit den Steuereingängen der Transmission Gates 9 bis 12 koppelt.

10

Diese Steuerschaltung 20 schaltet ein von der Verknüpfungseinheit 19 bereitgestelltes Treffersignal dann auf eine von ihr umfaßte flüchtige Speicherzelle 21 durch, wenn ein Aktiviersignal anzeigt, daß eine Programmierung der programmierbaren Verbindungen gewünscht ist. Dieses Aktiviersignal ist mit TMfuseSET bezeichnet.

15

Hierfür umfaßt die Steuerschaltung 20 einen p-Kanal-Feldeffekttransistor 22, der den Ausgang der Verknüpfungseinheit 19 mit der flüchtigen Speicherzelle 21 koppelt. Weiterhin ist ein n-Kanal-Feldeffekttransistor 23 vorgesehen, der den Eingang der flüchtigen Speicherzelle 21 mit einem Bezugspotentialanschluß 24 verbindet. Die Steuereingänge der Transistoren 22, 23 sind miteinander verbunden und über einen Inverter 25 an den Eingangsanschluß zum Zuführen des Setzsignals TMfuseSET gekoppelt. Die flüchtige Speicherzelle 21 umfaßt zur Bildung eines sogenannten Latches zwei antiparallel geschaltete Inverter. Der Ausgang der flüchtigen Speicherzelle 21 ist über einen Inverter 26 mit den Steuereingängen der NMOS-Transistoren in den Transmission Gates 9 bis 12 und unverändert mit den PMOS-Transistoren der Transmission Gates 9 bis 12 verbunden. Außerdem wird am Ausgang der flüchtigen Speicherzelle 21 ein Aktiviersignal shoot_enb bereitgestellt, welches zur Ansteuerung eines Mittels zur Programmierung der programmierbaren Verbindungen geeignet ist.

20

30

35

Zunächst soll das Auslesen bereits programmierter programmierbarer Verbindungen erläutert werden. Während eines Ein-

schaltvorgangs des Speicherelements, in dem die Ausleseschaltung gemäß Figur 1 angeordnet ist, werden die programmierten Werte aus den programmierbaren Verbindungen ausgelesen und über die Eingänge F1 bis F4 in die flüchtigen Speicherzellen 1 bis 4 geschrieben. Im vorliegenden Beispiel wird bei nicht mit Energieimpulsen beaufschlagten programmierbaren Verbindungen am Eingang der flüchtigen Speicherzellen 1 bis 4 eine logische 1 und an deren Ausgang demnach eine 0 stehen. Mit den Auswahlhaltungen 5 bis 8, die jeweils der flüchtigen Speicherzelle 1 bis 4 zugeordnet ist, wird ein angelegter Adreßwert am Adreßeingang A1 bis A4 mit dem in der flüchtigen Speicherzelle 1 bis 4 programmierten Wert verglichen. Stimmen die Werte in allen Auswahlhaltungen 5 bis 8 überein und ist auch die sogenannte Master Fuse am Eingang FO und zwischengespeichert im flüchtigen Speicher 16 gesetzt, so wird ein Treffersignal erzeugt. Hierdurch wird das zugehörige redundante Speicherelement aktiviert und die Aktivierung des ursprünglichen, defekten Speicherelements unterdrückt. Dies ist jedoch in der Schaltung von Figur 1 nicht dargestellt.

Das Umprogrammieren einer programmierbaren Verbindung ausgehend von ihrem ursprünglichen Leitzustand in einen anderen Leitzustand bewirkt, daß am Eingang der Auswahlhaltungen 5 bis 8, die als Vergleicher arbeiten, die eigentliche Adresse A1, A2, A3 oder A4 und ihr Komplement, z. B. bA1, bA2, bA3 oder bA4, vertauscht werden. Im vorliegenden Beispiel wird im unprogrammierten Zustand immer das Komplement der Adresse eingespeist. Wäre also nur die Master Fuse umprogrammiert, so würde das zugeordnete redundante Speicherelement das defekte Speicherelement mit der Adresse (A4, A3, A2, A1 = 0000) ersetzen. Durch die Wahl, ob die Adresse selbst oder ihr Komplement in die vergleichende Auswahlhaltung 5 bis 8 zugeführt wird, kann das redundante Element selbst codiert werden. Dies ist erforderlich, um die redundanten Elemente zu Testzwecken schon vor der Reparatur ansprechen zu können. Hierfür werden in einer Testbetriebsart TMredaddr alle Master Fuses auf "programmiert" gesetzt.

Die vorliegende Schaltung ermöglicht aber nicht nur ein Auslesen von programmierten Werten aus programmierbaren Verbindungen, sondern auch ein Markieren derjenigen programmierbaren Verbindungen, die während der Herstellung des Speichers zum Ersetzen defekter Speicherzellen programmiert werden sollen. Hierfür sind unter anderem die Pass-Gates 9 bis 12 vorgesehen, die den Eingang jedes Fuse-Latches 1 bis 4 mit dem entsprechenden Adreßeingang verbinden.

10

Bei gesetztem Setzsignal TMfuseSET wird ein von der Verknüpfungseinheit 19 bereitgestelltes Treffersignal in der flüchtigen Speicherzelle 21 in der Steuerschaltung 20 gespeichert. Dabei aktiviert die flüchtige Speicherzelle 21 die Schalterverbindungen 9 bis 12 zwischen den Adreßleitungen bA1 bis bA4 und den zugeordneten flüchtigen Speicherzellen 1 bis 4. Das weiche Setzen, der sogenannte Soft Set, der flüchtigen Speicherzellen 1 bis 4 wird dann wie folgt durchgeführt: Zunächst wird wie oben bereits erläutert der Testbetrieb TMredaddr aktiviert und ein entsprechendes Signal in der flüchtigen Speicherzelle 16 gespeichert. Über die entsprechende, fest abgelegte oder intrinsische Adresse des Redundanzelementes, im vorliegenden Beispiel die Adresse 0000, wird ein Treffersignal am Ausgang der Verknüpfungseinheit 19 erzwungen. Dieses wird durch Setzen des Setzsignals TMfuseSET in der flüchtigen Speicherzelle 21 abgelegt. Eine daraufhin angelegte Adresse an den Adreßeingängen A1 bis A4 beziehungsweise bA1 bis bA4 wird nun direkt in die Fuse-Latches 1 bis 4 geschrieben.

30 Die vorliegende Schaltung kann jedoch nicht nur zum sogenannten weichen Setzen von programmierbaren Verbindungen verwendet werden. Es ist zusätzlich möglich, die in den flüchtigen Speicherzellen 1 bis 4 abgelegten Informationen zu nutzen, um anzuzeigen, ob die zugeordnete programmierbare Verbindung, 35 die am Eingang F1 bis F4 angeschlossen ist, umprogrammiert werden soll oder nicht. Das Umprogrammieren von Fuses wird auch als Schießen bezeichnet. Hierzu kann, wie in Figur 1 an-

gedeutet, der in der flüchtigen Speicherzelle 21 gespeicherte Treffersignalwert auch als Aktiviersignal zur Programmierung einer oder mehrerer programmierbarer Verbindungen verwendet werden. Wenn, in Abhängigkeit von der Ausführung der programmierbaren Verbindung und deren Ansteuerschaltung, beispielsweise nur eine elektrisch programmierbare Verbindung pro Zyklus gleichzeitig programmiert werden kann, so kann beispielsweise zunächst die sogenannte Master Fuse programmiert werden, während die Fuse Latches 1 bis 4 auf Nichtprogrammieren geschaltet werden. Dann wird der Testbetrieb TMredaddr deaktiviert und anschließend die programmierbaren Verbindungen an den Eingängen F1 bis F4 nacheinander programmiert.

Durch Einfügen der Schalter 9 bis 12 und der diese in Abhängigkeit von einem Treffersignal und einem Setzsignal steuernden Steuereinheit 20 ist die vorliegende Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung mit Vorteil so weitergebildet, daß die Adreßleitungen A1 bis A4 zum Markieren der zu programmierenden programmierbaren Verbindungen benutzt werden können. Somit können mit besonders geringem schaltungstechnischen Aufwand und ohne das Erfordernis von Schieberegistern diejenigen programmierbaren Verbindungen markiert und programmiert werden, die zum Speichern einer Adresse dienen, die anzeigt, welches defekte Element in einem Halbleiterspeicher durch das vorliegende Redundanzelement ersetzt werden soll.

Figur 2 zeigt beispielhaft für die erste flüchtige Speicherzelle 1 die an dem Anschluß F1 von Figur 1 ankoppelbare programmierbare Verbindung. In Figur 2 sind die flüchtige Speicherzelle 1 sowie der zugeordnete und an den Eingang der flüchtigen Speicherzelle angeschlossene Schalter 9 gezeigt, die den mit gleichen Bezugszeichen versehenen Bauteilen von Figur 1 entsprechen. Schalter 9 koppelt den Eingang der flüchtigen Speicherzelle 1 mit dem zweiten Anschluß des Adreßeingangs, der der flüchtigen Speicherzelle 1 zugeordnet ist. An den Verbindungsknoten F1 von flüchtiger Speicherzelle

1 und Schalter 9 ist zum einen ein Rücksetztransistor 30 lastseitig gegen einen Versorgungspotentialanschluß 31 angeschlossen, als auch eine Serienschaltung aus einem Setztransistor 32, einer Schutzschaltung 33, der programmierbaren Verbindung 34 und einem Aktiviertransistor 35 gegen Bezugspotentialanschluß 36. Die Steuereingänge von als PMOS-Transistor 30 ausgeführtem Rücksetztransistor und als NMOS-Feldeffekttransistor ausgebildeten Setztransistor 32 sind mit R, S bezeichnet. Weiterhin sind zwei Brenntransistoren 37, 38 vorgesehen, die mit je einem Lastanschluß an ein positives bzw. negatives Energieimpuls-Versorgungspotential VS+, VS- angeschlossen sind und mit ihrem freien Lastanschluß mit je einem Anschluß der programmierbaren Verbindung 34 verbunden sind. Die Steuereingänge der Transistoren 35 und 37 sind unmittelbar, der Steuereingang des Transistors 38 ist über einen Inverter 39, an den Ausgang eines NAND-Gliedes 40 geschaltet. Dieses ist an einem ersten Eingang an den Ausgang des flüchtigen Speichers 1 und an einem zweiten Eingang über einen Inverter an den Ausgangsanschluß E des flüchtigen Speichers 21 der Steuerschaltung 20 angeschlossen.

Mittels der Steuereingänge R, S wird beim Einschalten des Speichers, in dem vorliegende Schaltungsanordnung vorgesehen ist, die programmierbare Verbindung 34 ausgelesen. Dieser Wert wird wie erläutert in die flüchtige Speicherzelle 1 geschrieben. Zum Umprogrammieren der programmierbaren Verbindung 33 hingegen, das heißt zum Verändern ihres Leitzustands, wird in Abhängigkeit von dem am Anschluß E anliegenden Aktiviersignal die hohe Spannung zwischen den Potentialen VS+ und VS- über die programmierbare Verbindung 34 angelegt und deren Leitzustand somit dauerhaft verändert.

Patentansprüche

1. Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung, umfassend

- 5 - eine flüchtige Speicherzelle (1) mit einem Eingang, der mit der programmierbaren Verbindung (34) zum Auslesen und Zwischenspeichern eines programmierten Wertes gekoppelt ist,
- einen Adresseingang (A1, bA1) zum Zuführen eines Adresswertes,
- 10 - eine Verknüpfungseinheit (19) mit einem ersten Eingang, der mit dem Adresseingang verbunden ist, mit einem zweiten Eingang, der mit einem Ausgang der flüchtigen Speicherzelle (1) verbunden ist, und mit einem Ausgang ausgelegt zum Bereitstellen eines Treffersignals am Ausgang, wenn der
- 15 programmierte Wert und der Adresswert übereinstimmen,
- einen Schalter (9), der den Adresseingang (A1, bA1) mit dem Eingang der flüchtigen Speicherzelle (1) zum Speichern des Adresswertes in der flüchtigen Speicherzelle (1) koppelt, und
- 20 - eine Steuerschaltung (20), die eingangsseitig mit dem Ausgang der Verknüpfungseinheit (19) gekoppelt ist und die ausgangsseitig mit einem Steuereingang des Schalters (9) und mit einem Mittel zur Programmierung (37, 38) der programmierbaren Verbindung (34) gekoppelt ist zum Bereitstellen eines Aktiviersignals (shoot_enb).
- 25

2. Schaltungsanordnung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

die Steuerschaltung (20) eine Speicherzelle (21) zum Speichern des Aktiviersignals umfaßt.

3. Schaltungsanordnung nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß

die Steuerschaltung (20) einen weiteren Signaleingang hat, an dem in einer Test-Betriebsart ein Setzsignal (TMfuseSET) zugeführt wird, in dessen Abhängigkeit das Aktiviersignal (shoot_enb) bereitgestellt wird.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, daß
der Adresseingang (A1, bA1) als Eingangspaar ausgeführt ist
5 mit einem ersten Anschluß (A1) zum Zuführen des Adresswertes
und einem zweiten Anschluß (bA1) zum Zuführen des komplementären Adresswertes.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,
10 dadurch gekennzeichnet, daß die Schaltungsanordnung umfaßt:

- eine weitere flüchtige Speicherzelle (2) mit einem Eingang,
der mit einer weiteren programmierbaren Verbindung zum Aus-
lesen und Zwischenspeichern eines weiteren programmierten
15 Wertes gekoppelt ist,
- einen weiteren Adresseingang (A2, bA2) zum Zuführen eines
weiteren Adresswertes,
- einen weiteren ersten Eingang der Verknüpfungseinheit (19),
der mit dem weiteren Adresseingang (A2, bA2) verbunden ist,
20 mit einem weiteren zweiten Eingang, der mit einem Ausgang
der weiteren flüchtigen Speicherzelle (2) verbunden ist,
und mit dem Ausgang ausgelegt zum Bereitstellen eines Tref-
fersignals am Ausgang, wenn der programmierte Wert und der
Adresswert übereinstimmen und wenn der weitere programmierte
Wert und der weitere Adresswert übereinstimmen, und
25 - einen weiteren Schalter (10), der den weiteren Adressein-
gang (A2, bA2) mit dem Eingang der weiteren flüchtigen Spei-
cherzelle (2) zum Speichern des weiteren Adresswertes in
der weiteren flüchtigen Speicherzelle koppelt.

30

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
das Mittel zum Programmieren (37, 38) der programmierbaren
Verbindung zumindest einen Transistor (37) ausgebildet zum
35 Beaufschlagen der programmierbaren Verbindung (34) mit einem
Energieimpuls umfaßt, der lastseitig die programmierbare Ver-
bindung (34) mit einem Versorgungspotentialanschluß (VS+)

koppelt und der einen Steuereingang hat, der mit dem Ausgang der Steuereinheit (20) gekoppelt ist.

Zusammenfassung

Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung

5

Es ist eine Schaltungsanordnung zum Auslesen einer programmierbaren Verbindung (34) angegeben, welche neben dem Auslesen des programmierten Wertes in eine flüchtige Speicherzelle (1) ein Programmieren der programmierbaren Verbindung (34) ermöglicht. Hierfür werden vorhandene Adreßleitungen (A1, bA1) durch zusätzliche Schalter (9) mit dem Eingang der flüchtigen Speicherzelle (1) gekoppelt und in Abhängigkeit von einem Setzsignal (TMfuseSET) mit einer Steuerschaltung (20) bei Vorliegen eines Treffersignal am Ausgang einer Verknüpfungseinheit (19) die Schalter (9) angesteuert. Die vorliegende Schaltung ist besonders für dynamische Halbleiterspeicher und für Massenherstellung geeignet.

10

15

Figur 1

Bezugszeichenliste

	1 bis 4	flüchtige Speicherzelle
	5 bis 8	Auswahlschaltung
5	9 bis 12	Schalter
	13	NAND-Gatter
	14	NAND-Gatter
	15	NOR-Gatter
	16	Latch
10	17	NAND-Gatter
	18	Inverter
	19	Verknüpfungseinheit
	20	Steuerschaltung
	21	flüchtige Speicherzelle
15	22	PMOS-Transistor
	23	NMOS-Transistor
	24	Bezugspotential
	25	Inverter
	26	Inverter
20	30	Rücksetztransistor
	32	Setztransistor
	31	Versorgungspotentialanschluß
	33	Schutzschaltung
	34	Fuse
25	35	Transistor
	36	Bezugspotentialanschluß
	37	Brenntransistor
	38	Brenntransistor
	39	Inverter
30	40	NAND-Gatter

Fig. 1

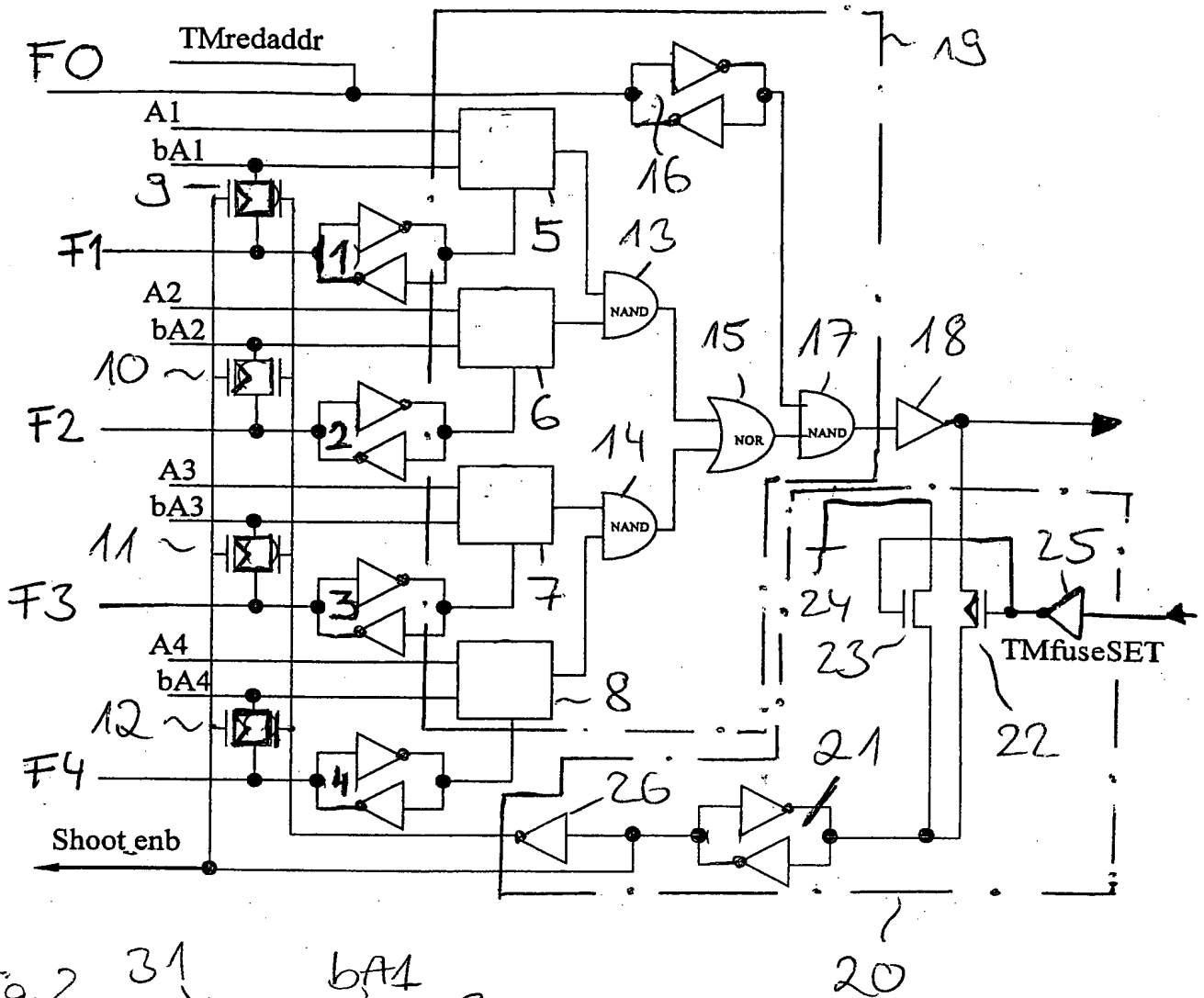


Fig. 2

